

PAT-NO: JP02001036069A

DOCUMENT-IDENTIFIER: JP 2001036069 A

TITLE: DIODE

PUBN-DATE: February 9, 2001

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|-------------------|---------|
| UESUGI, TSUTOMU | N/A |
| KIGAMI, MASAHIITO | N/A |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|----------------------------------|---------|
| TOYOTA CENTRAL RES & DEV LAB INC | N/A |

APPL-NO: JP11206075

APPL-DATE: July 21, 1999

INT-CL (IPC): H01L029/68, H01L029/165 , H01L029/861 , H01L021/329

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a diode having a high breakdown voltage and a low loss power.

SOLUTION: A diode 40 is structured by laminating in the order an n-type silicon carbide layer 14, an n-type silicon layer 16, and a p-type silicon layer 18 on an n⁺ silicon carbide substrate 12. Two trenches 24 are formed so as to pierce a p-type silicon layer 18 and an n-type silicon layer 16, and reach the n-type silicon carbide layer 14. A trench gate 28 is embedded in each trench 24. In the diode 40, the rising voltage of a forward current of the diode is about 0.6 V which is the value of the, energy gap of silicon, and the dielectric breakdown electric field of the diode becomes about 3×10⁶ V/cm which is the dielectric breakdown electric field of silicon carbide.

COPYRIGHT: (C)2001,JPO

| | | | |
|-----------------------------|------|---------------|------------|
| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マ-ト*(参考) |
| H 0 1 L 29/68 | | H 0 1 L 29/68 | 5 F 0 0 3 |
| 29/165 | | 29/165 | |
| 29/861 | | 29/91 | D |
| 21/329 | | | B |
| | | | H |
| 審査請求 未請求 請求項の数3 O L (全 9 頁) | | | |

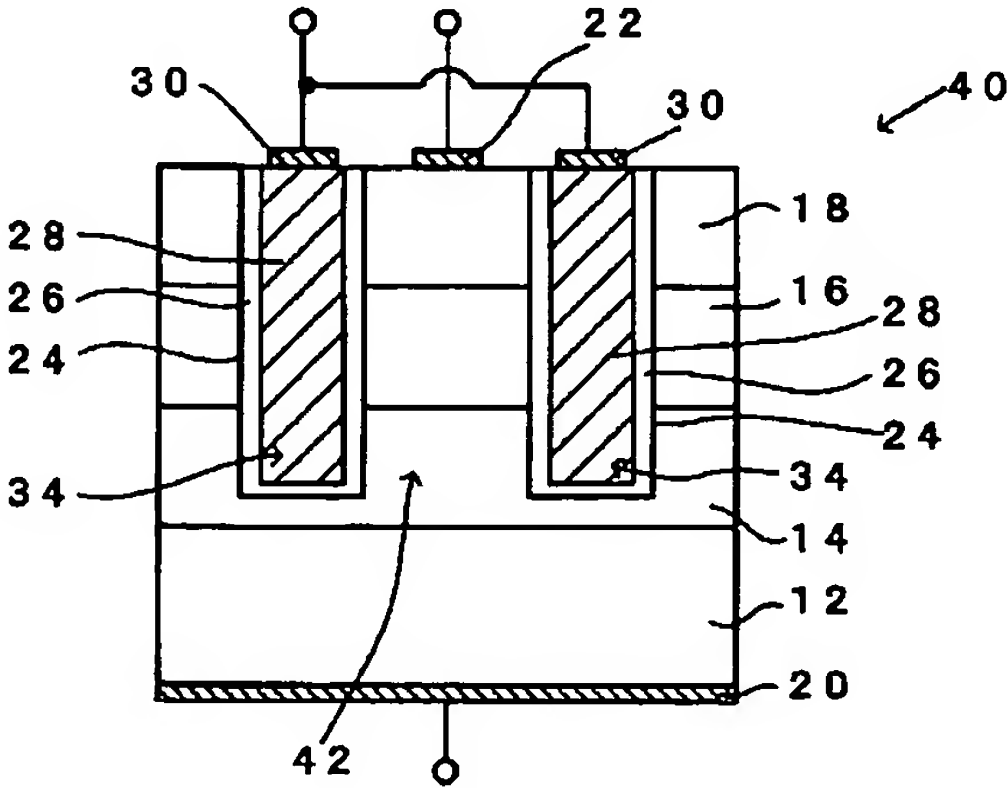
| | | | |
|----------|----------------------------|---------|---|
| (21)出願番号 | 特願平11-206075 | (71)出願人 | 000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番地の1 |
| (22)出願日 | 平成11年 7 月21日 (1999. 7. 21) | (72)発明者 | 上杉 勉 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内 |
| | | (72)発明者 | 樹神 雅人 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内 |
| | | (74)代理人 | 100090387 弁理士 布施 行夫 (外2名) |
| | | 最終頁に続く | |

(54)【発明の名称】 ダイオード

(57)【要約】

【課題】 高耐圧かつ低損失電力のダイオードを提供すること。

【解決手段】 ダイオード40は、n⁺型シリコンカーバイド基板12上に、n型シリコンカーバイド層14、n型シリコン層16、p型シリコン層18が順に積層された構造をしている。二本のトレンチ24がp型シリコン層18、n型シリコン層16を突き抜け、n型シリコンカーバイド層14に到達するように形成されている。各トレンチ24にはトレンチゲート28が埋め込まれている。ダイオード40において、ダイオードの順方向電流の立ち上がり電圧は、シリコンのエネルギギャップの値である約0.6Vであり、ダイオードの絶縁破壊電界はシリコンカーバイドの絶縁破壊電界である約3×10⁶V/cmとなる。



【特許請求の範囲】

【請求項1】 第1の導電型の第1半導体層と、第1半導体層と接合している第2の導電型の第2半導体層と、を備えたダイオードであって、第1トレンチゲートと第2トレンチゲートとを備え、前記第2半導体層は、前記第1トレンチゲートと前記第2トレンチゲートとの間に位置し、前記ダイオードに逆方向電圧が印加されている時、前記第2半導体層には前記第1トレンチゲートの方から延びた空乏層と前記第2トレンチゲートの方から延びた空乏層とが形成される、ダイオード。

【請求項2】 請求項1において、前記第2半導体層中の不純物濃度、前記第1トレンチゲートと前記第2トレンチゲートとの間の距離、前記第1トレンチゲートのゲート絶縁膜の厚み及び前記第2トレンチゲートのゲート絶縁膜の厚み、の組み合わせは、前記ダイオードに逆方向電圧が印加されている時、前記第1トレンチゲートの方から延びた空乏層の縁部の少なくとも一部と前記第2トレンチゲートの方から延びた空乏層の縁部の少なくとも一部とが前記第2半導体層でつながる、組み合わせである、ダイオード。

【請求項3】 請求項1又は2において、第2の導電型の第3半導体層を備え、前記第3半導体層は前記第2半導体層と接触しており、前記第3半導体層は前記第1トレンチゲートと前記第2トレンチゲートとの間に位置し、前記第1半導体層及び前記第2半導体層のエネルギーギャップは前記第3半導体層のエネルギーギャップより小さく、前記第3半導体層の絶縁破壊電界は前記第1半導体層及び前記第2半導体層の絶縁破壊電界より大きい、ダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はダイオードに関し、特に、第1の導電型の第1半導体層と、第1半導体層と接合している第2の導電型の第2半導体層と、を備えたダイオードに関する。

【0002】

【背景技術及び発明が解決しようとする課題】例えば、pn接合型のダイオードのように、第1の導電型の第1半導体層と、第1半導体層と接合している第2の導電型の第2半導体層と、を備えたダイオードはパワーエレクトロニクスの分野でも使用されている。この分野においては、素子の耐圧向上が命題となっている。

【0003】本発明はかかる課題を解決するためになされたものであり、耐圧を向上させることができる構造をしたダイオードを提供することである。

【0004】

【課題を解決するための手段】本発明は、第1の導電型

の第1半導体層と、第1半導体層と接合している第2の導電型の第2半導体層と、を備えたダイオードであって、第1トレンチゲートと第2トレンチゲートとを備え、第2半導体層は、第1トレンチゲートと第2トレンチゲートとの間に位置し、ダイオードに逆方向電圧が印加されている時、第2半導体層には第1トレンチゲートの方から延びた空乏層と第2トレンチゲートの方から延びた空乏層とが形成される。

【0005】上記構成による本発明に係るダイオードは以下に説明する作用効果を有する。本発明に係るダイオードにおいて、第2半導体層は、第1トレンチゲートと第2トレンチゲートとの間に位置し、ダイオードに逆方向電圧が印加されている時、第2半導体層には第1トレンチゲートの方から延びた空乏層と第2トレンチゲートの方から延びた空乏層とが形成される。これらの空乏層により、第1半導体層と第2半導体層との接合部以外の領域にも電界のピークを位置させることが可能となる。この場合、複数の電界のピークのうち、最大値のピークが位置する領域の絶縁破壊電界がダイオードの絶縁破壊電界となる。ピークが複数に分散されることにより、ピークが一つの場合に比べて、電界のピークの最大値が下がる。よって、本発明に係るダイオードよれば、さらに高い逆方向電圧を印加することができるので、本発明に係るダイオードは従来に比べて耐圧の向上したダイオードとなる。なお、第1半導体層と第2半導体層との接合部以外の領域にも電界のピークを位置させることが可能なことは、発明の実施の形態の第3の実施の形態で詳細に説明する。

【0006】なお、第2半導体層に第1トレンチゲートの方から延びた空乏層及び第2トレンチゲートの方から延びた空乏層を形成するのは、第2半導体層がp型の場合、第1及び第2トレンチゲートに0もしくは正電圧を印加する。第2半導体層がn型の場合、第1及び第2トレンチゲートに0もしくは負電圧を印加する。

【0007】本発明に係るダイオードにおいて、第2半導体層中の不純物濃度、第1トレンチゲートと第2トレンチゲートとの間の距離、第1トレンチゲートのゲート絶縁膜の厚み及び第2トレンチゲートのゲート絶縁膜の厚み、の組み合わせは、ダイオードに逆方向電圧が印加されている時、第1トレンチゲートの方から延びた空乏層の縁部の少なくとも一部と第2トレンチゲートの方から延びた空乏層の縁部の少なくとも一部とが第2半導体層でつながる、組み合わせである、のが好ましい。これによれば、第1半導体層と第2半導体層との接合部以外の領域にも電界のピークを位置させることがより確実となる。

【0008】上記パラメータのうち、第1及び第2トレンチゲートのゲート絶縁膜について説明する。第1及び第2トレンチゲートのゲート絶縁膜の厚みは0.1~1.2 μm が好ましい。0.1 μm より小さいとダイオード

使用時、ゲート絶縁膜が容易に破壊してしまうからである。1.2 μm より大きいと空乏層の伸びが十分でなく、隣りの空乏層とつながりにくくなるからである。第1及び第2トレンチゲートのゲート絶縁膜の厚みとしては、さらに0.1~1.0 μm が好ましく、さらに、0.1~0.5 μm が好ましい。

【0009】なお、上記四つのパラメータの組み合わせによっては、第2半導体層全部を空乏化することもできる。すなわち、第1トレンチゲートの方から延びた空乏層の縁部と第2トレンチゲートの方から延びた空乏層の縁部とが第2半導体層でつながり、第2半導体層全部が空乏化するのである。第2半導体層の全部が空乏化している場合は、第2半導体層の一部が空乏化している場合に比べて、第2半導体層の全ての領域が電圧保持領域として働くため、より高耐圧化が可能となる。

【0010】本発明に係るダイオードにおいて、第2の導電型の第3半導体層を備え、第3半導体層は第2半導体層と接触しており、第3半導体層は第1トレンチゲートと第2トレンチゲートとの間に位置し、第1半導体層及び第2半導体層のエネルギーギャップは第3半導体層のエネルギーギャップより小さく、第3半導体層の絶縁破壊電界は第1半導体層及び第2半導体層の絶縁破壊電界より大きい、のが好ましい。

【0011】この構成によれば、第3半導体層は第1トレンチゲートと第2トレンチゲートとの間に位置するので、第3半導体層に電界のピークの最大値を位置させることが可能となる。よって、ダイオードの絶縁破壊電界を大きくすることができるので、ダイオードの耐圧を向上させることができる。ダイオードの絶縁破壊電界を大きくすることができる理由については、発明の実施の形態の第1の実施の形態で詳細に説明する。また、この構成によれば、第1半導体層及び第2半導体層のエネルギーギャップがダイオードの順方向電流の立ち上がり電圧となる。このため、ダイオードの順方向電流の立ち上がり電圧を小さくすることができる。よって、ダイオードの使用時の電圧を小さくすることができるので、ダイオードの使用電力を小さくすることができる。

【0012】このように、この構成によれば、絶縁破壊電界を大きく、かつ順方向電流の立ち上がり電圧を小さくすることができるので、高耐圧かつ低損失電力のダイオードを実現することが可能となる。

【0013】例えば、第1半導体層及び第2半導体層をシリコン、第3半導体層をシリコンカーバイドとした場合を考える。このダイオードの順方向電流の立ち上がり電圧は、シリコンのエネルギーギャップの値である約0.6Vである。このダイオードの絶縁破壊電界はシリコンカーバイドの絶縁破壊電界である約 $3 \times 10^6 \text{ V/cm}$ となる。ちなみに、シリコンのみからなるダイオードは、その順方向電流の立ち上がり電圧がシリコンのエネルギーギャップの値である約0.6Vであり、その絶

縁破壊電界はシリコンの絶縁破壊電界である約 $3 \times 10^5 \text{ V/cm}$ となる。また、シリコンカーバイドのみからなるダイオードは、その順方向電流の立ち上がり電圧がシリコンカーバイドのエネルギーギャップの値である約3Vであり、その絶縁破壊電界はシリコンカーバイドの絶縁破壊電界である約 $3 \times 10^6 \text{ V/cm}$ となる。よって、本発明に係るシリコン及びシリコンカーバイドからなるダイオードは耐圧において、シリコンのみからなるダイオードより優れ、低損失電力において、シリコンカーバイドのみからなるダイオードより優れている。

【0014】また、例えば、第1半導体層及び第2半導体層をシリコン-ゲルマニウム、第3半導体層をシリコンとした場合を考える。このダイオードの順方向電流の立ち上がり電圧は、約0.4Vである。このダイオードの絶縁破壊電界はシリコンの絶縁破壊電界である約 $3 \times 10^5 \text{ V/cm}$ となる。ちなみに、シリコン-ゲルマニウムのみからなるダイオードは、その順方向電流の立ち上がり電圧が0.4Vであり、その絶縁破壊電界はシリコン-ゲルマニウムの絶縁破壊電界である約 $1.5 \times 10^5 \text{ V/cm}$ となる。よって、本発明に係るシリコン-ゲルマニウム及びシリコンからなるダイオードは耐圧において、シリコン-ゲルマニウムのみからなるダイオードより優れ、低損失電力において、シリコンのみからなるダイオードより優れている。

【0015】本発明に係るダイオードにおいて、第1半導体層は第1トレンチと第2トレンチとで挟まれているのが好ましい。

【0016】

【発明の実施の形態】〔第1の実施の形態〕

〔構造の説明〕図1は、本発明の第1の実施の形態に係るダイオードの断面図である。ダイオード10は、 n^+ 型シリコンカーバイド基板12上に、 n 型シリコンカーバイド層14、 n 型シリコン層16、 p 型シリコン層18が順に積層された構造をしている。二本のトレンチ24が p 型シリコン層18、 n 型シリコン層16、 n 型シリコンカーバイド層14を突き抜け、 n^+ 型シリコンカーバイド基板12に到達するように形成されている。トレンチ24にはトレンチゲート28が埋め込まれている。トレンチ24の側面とトレンチゲート28との間やトレンチ24の底面とトレンチゲート28との間には、ゲート酸化膜26が形成されている。トレンチゲート28上には電極30が形成されている。トレンチゲート28間に位置する p 型シリコン層18上にはアノード電極22が形成されている。 n^+ 型シリコンカーバイド基板12の表面のうち、 n 型シリコンカーバイド層14が形成されている表面と対向する表面上にはカソード電極20が形成されている。

【0017】〔動作の説明〕次に、本発明の第1の実施の形態に係るダイオード10の動作について、図1を用いて説明する。まず、ON動作について説明する。ダイ

オード10には順方向電圧が印加される。例えば、アノード電極22には2Vの電圧、カソード電極20には0Vの電圧が、それぞれ印加される。このとき、アノード電極22からカソード電極20に向けて電流が流れる。なお、電極30には、アノード電極22と同じ電圧、もしくはより抵抗を低減させるため、10V程度の電圧を印加してもよい。

【0018】次に、OFF動作について説明する。ダイオード10には逆方向電圧が印加される。例えば、アノード電極22には0Vの電圧、カソード電極20には600~1000Vの電圧が、それぞれ印加される。電極30の電圧はアノード電極22の電圧と同じでよい。より良好なオフ特性を得るために、電極30に-10V程度の電圧を印加してもよい。電極30にこのような電圧が印加されることにより、一方のトレンチゲート28の方から延びた空乏層の縁部の少なくとも一部と他方のトレンチゲート28の方から延びた空乏層の縁部の少なくとも一部とがn型シリコンカーバイド層14でつながる。これにより、逆方向電圧が保持され、ダイオード10に電流が流れるのを防ぐ。

【0019】{製造方法の説明}次に、本発明の第1の実施の形態に係るダイオード10の製造方法について、図1~図6を用いて説明する。図2に示すように、n⁺型シリコンカーバイド基板12を準備する。n⁺型シリコンカーバイド基板12の厚みは0.5~1mmであり、不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度である。不純物は窒素である。

【0020】図3に示すように、n⁺型シリコンカーバイド基板12上にn型シリコンカーバイド層14をエピタキシャル成長により形成する。n型シリコンカーバイド層14の厚みは1~10 μm であり、不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。不純物は窒素である。n型シリコンカーバイド層14上にn型シリコン層32をエピタキシャル成長により形成する。n型シリコン層32の厚みは5~10 μm であり、不純物濃度は $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。不純物はリンである。n型シリコン層32にp型不純物を拡散し、n型シリコン層32の上部に、図4に示すようにp型シリコン層18を形成する。p型シリコン層18の厚みは2~3 μm であり、不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。不純物はボロンである。なお、n型シリコン層32の下部をn型シリコン層16とする。

【0021】図5に示すように、フォトリソグラフィ技術とエッチング技術とにより、複数のトレンチ24をこの積層物に形成する。トレンチ24はp型シリコン層18、n型シリコン層16、n型シリコンカーバイド層14を突き抜け、n⁺型シリコンカーバイド基板12に到達するように形成されている。トレンチ24の幅wは0.5~2 μm である。トレンチ24間の距離d1は0.5~5 μm である。

【0022】図6に示すように、熱酸化により、トレンチ24の側面及び底面にゲート酸化膜26を形成する。ゲート酸化膜26の厚みは0.05~0.2 μm である。トレンチ24がポリシリコン膜で埋まるように、CVDによりp型シリコン層18上にポリシリコン膜を形成する。ポリシリコン膜をエッチバックし、トレンチ24内にのみポリシリコン膜を残す。このポリシリコンがトレンチゲート28となる。

【0023】図1に示すように、n⁺型シリコンカーバイド基板12上に蒸着法により、金属からなるカソード電極20を形成する。また、p型シリコン層18上に蒸着法により、金属層を形成する。この金属層をパターンニングし、アノード電極22及び電極30を形成する。以上により、本発明の第1の実施の形態に係るダイオード10が完成する。

【0024】{ダイオードの耐圧が向上する説明}本発明の第1の実施の形態に係るダイオード10において、トレンチゲート28により、ダイオード10の耐圧が向上するのをシミュレーションを用いて説明する。図15はダイオードに逆方向電圧を印加したときに、ダイオードに流れる電流を示すシミュレーションである。(a)は図1に示すダイオード10のシミュレーションであり、(b)は図1に示すダイオード10からトレンチゲート28を除去した構造のダイオードのシミュレーションである。

【0025】(b)に示すトレンチゲートなしのダイオードは約60Vで、電流が急激に流れる現象、すなわち、絶縁破壊現象が現れる。これに対して、(a)に示すトレンチゲートを備えたダイオードは140Vでも絶縁破壊現象を起こしていない。このシミュレーションからも分かるように、本発明の第1の実施の形態に係るダイオード10は、トレンチゲートなしのダイオードに比べて耐圧が高くなる。

【0026】次に、本発明の第1の実施の形態に係るダイオード10の耐圧が向上する理由を説明する。図16はトレンチゲートを備えたダイオードに生じる電界のシミュレーションである。トレンチゲートは0Vに接地され、カソードには140Vが印加され、アノードは0Vが印加されるものとする。縦軸は電界強度を示す。横軸はp型シリコン層とn型シリコン層との接合部からのダイオードの深さ方向の距離を示している。すなわち、横軸の値2 μm がp型シリコン層とn型シリコン層との接合部の位置と対応している。横軸の値10 μm がn型シリコン層とn型シリコンカーバイド層との境界の位置と対応している。横軸の値20 μm がn型シリコンカーバイド層とn⁺型シリコンカーバイド基板との境界の位置と対応している。なお、トレンチゲートの幅は0.4 μm とし、ゲート酸化膜厚は0.1 μm とし、トレンチゲートとこのトレンチゲートと対向するトレンチゲート(図示せず)との距離は0.2 μm とする。

【0027】シミュレーションから分かるように、横軸の値 $20\mu\text{m}$ 、すなわち、 n 型シリコンカーバイド層と n^+ 型シリコンカーバイド層との境界がダイオードに作用する電界のピークとなる。このため、シリコンカーバイド層の絶縁破壊電界がダイオードの絶縁破壊電界となる。

【0028】次にトレンチゲートを備えないダイオードに生じる電界のシミュレーションを、図17を用いて説明する。カソードには 60V が印加され、アノードは 0V が印加されるものとする。縦軸及び横軸の意味は図16に示す縦軸及び横軸の意味と同じである。シミュレーションから分かるように、ダイオードに作用する電界のピークは二つある。一つは横軸の値 $2\mu\text{m}$ 、すなわち、 p 型シリコン層と n 型シリコン層との接合部が電界のピークであり、もう一つは横軸の値 $10\mu\text{m}$ 、すなわち、 n 型シリコン層と n 型シリコンカーバイド層との境界が電界のピークとなる。 p 型シリコン層と n 型シリコン層との接合部に作用する電界のほうが、 n 型シリコン層と n 型シリコンカーバイド層との境界に作用する電界より大きい。このため、 p 型シリコン層と n 型シリコン層との接合部、すなわち、シリコン層の絶縁破壊電界が、このダイオードの絶縁破壊電界となる。

【0029】以上、図16及び図17を用いて説明したように、本発明の第1の実施の形態に係るダイオード10は、トレンチゲートを備えないダイオードより絶縁破壊電界が大きいので、耐圧が高くなることが分かる。

【0030】なお、本来、図1に示すトレンチゲート28の下端部34間にある領域36が、ダイオード10に作用している電界の最大値となる領域である。しかしながら、下端部34が n^+ 型シリコンカーバイド基板12まで到達していると、領域36が電界の最大値となる領域とはならない。これは、 n^+ 型シリコンカーバイド基板12は不純物濃度が高く金属と同様の抵抗値を示すからである。よって、本発明の第1の実施の形態に係るダイオードにおいては、 n 型シリコンカーバイド層14と n^+ 型シリコンカーバイド基板12との境界が電界のピークとなる。

【0031】{効果の説明} 図1に示す本発明の第1の実施の形態に係るダイオード10において、ダイオードの順方向電流の立ち上がり電圧は、シリコンのエネルギーギャップの値である約 0.6V であり、ダイオードの絶縁破壊電界はシリコンカーバイドの絶縁破壊電界である約 $3\times 10^6\text{V}/\text{cm}$ となる。よって、本発明の第1の実施の形態に係るダイオード10によれば、高耐圧かつ低損失電力のダイオードを実現することが可能となる。

【0032】[第2の実施の形態] 図7は、本発明の第2の実施の形態に係るダイオードの断面図である。図7に示すダイオード40の構成要素のうち図1に示すダイオード10の構成要素と同一のものについては、同一符

号を付すことにより説明を省略する。ダイオード40が図1に示すダイオード10と相違する構造は、トレンチゲート28の下端部34の位置である。すなわち、ダイオード40のトレンチゲート28の下端部34は n^+ 型シリコンカーバイド基板12に到達しておらず、 n 型シリコンカーバイド層14中に位置している。

【0033】ダイオード40の動作は、本発明の第1の実施の形態に係るダイオード10の動作と同様である。但し、OFF動作のとき、一方のトレンチゲート28の下端部34と他方のトレンチゲート28の下端部34との間にある n 型シリコンカーバイド層14（図7中符号42で示す領域）において、ダイオード10に作用している電界がピークとなる。

【0034】ダイオード40の製造方法が図1に示すダイオード10の製造方法と相違する点は、トレンチ24の形成工程である。すなわち、ダイオード40の製造方法においては、図5に示す工程でトレンチ24の底部が n 型シリコンカーバイド層14に位置するようにする。

【0035】図7に示す本発明の第2の実施の形態に係るダイオード40は図1に示すダイオード10と同様の効果を有する他、以下の効果を有する。すなわち、下端部34間にある領域を、ダイオード40に作用している電界の最大値となる領域にすることができるので、トレンチの深さのみで最大電界領域を設定できる。このためデバイス構造の設計の自由度が増す。

【0036】[第3の実施の形態]

{構造の説明} 図8は、本発明の第3の実施の形態に係るダイオードの断面図である。図1に示すダイオード10との相違は、シリコンカーバイド層を含まず、シリコン層を積層した構造という点である。すなわち、ダイオード50は、 n^+ 型シリコン基板52上に、 n 型シリコン層54、 p 型シリコン層56が順に積層された構造をしている。二本のトレンチ62が p 型シリコン層56、 n 型シリコン層54を突き抜け、 n^+ 型シリコン基板52に到達するように形成されている。各トレンチ62にはトレンチゲート66が埋め込まれている。各トレンチ62の側面とトレンチゲート66との間、各トレンチ62の底面とトレンチゲート66との間には、ゲート酸化膜64が形成されている。トレンチゲート66上には電極68が形成されている。トレンチゲート66間に位置する p 型シリコン層56上にはアノード電極60が形成されている。 n^+ 型シリコン基板52の表面のうち、 n 型シリコン層54が形成されている表面と対向する表面上にはカソード電極58が形成されている。

【0037】{動作及び効果の説明} 次に、本発明の第3の実施の形態に係るダイオード50の動作について、図8を用いて説明する。まず、ON動作について説明する。ダイオード50には順方向電圧が印加される。例えば、アノード電極60には 2V の電圧、カソード電極58には 0V の電圧が、それぞれ印加される。このとき、

アノード電極60からカソード電極58に向けて電流が流れる。なお、電極68には、アノード電極60と同じ電圧、もしくはより抵抗を低減させるため、10V程度の電圧を印加してもよい。

【0038】次に、OFF動作について説明する。ダイオード50には逆方向電圧が印加される。例えば、アノード電極60には0Vの電圧、カソード電極58には600～1000Vの電圧が、それぞれ印加される。電極68の電圧はアノード電極60の電圧と同じでよい。より良好なオフ特性を得るために、電極68に-10V程度の電圧を印加してもよい。電極68にこのような電圧が印加されることにより、一方のトレンチゲート66の方から延びた空乏層の縁部の少なくとも一部と他方のトレンチゲート66の方から延びた空乏層の縁部の少なくとも一部とがn型シリコン層54でつながる。これにより、逆方向電圧が保持され、ダイオード50に電流が流れるのを防ぐ。このとき、ダイオード50作用する電界のピークは、p型シリコン層56とn型シリコン層54との接合部70及びn⁺型シリコン基板52とn型シリコン層54との境界72にも電界のピークを位置させることが可能となる。

【0039】このことをシミュレーションで説明する。図18はダイオード50に生じる電界のシミュレーションである。縦軸は電界強度を示す。横軸はp型シリコン層56表面からのダイオード50の深さ方向の距離を示している。すなわち、0μmはp型シリコン層56表面を示している。接合部70までの距離は約3.5μmであり、境界72までの距離は約17μmである。シミュレーションの(a)はn型シリコン層54の不純物濃度が1E15の場合を示し、(b)はn型シリコン層54の不純物濃度が2E15の場合を示し、(c)はn型シリコン層54の不純物濃度が4E15の場合を示している。図18に示すように、電界のピークは接合部と境界とに生じている。

【0040】この場合、二つのピークのうち、最大値のピークが位置するところの絶縁破壊電界がダイオード50の絶縁破壊電界となる。ピークが複数に分散されることにより、電界の最大値が下がる。よって、ダイオード50よれば、さらに高い逆方向電圧を印加することができるので、ダイオード50は耐圧性に優れたダイオードとなる。

【0041】{製造方法の説明}次に、本発明の第3の実施の形態に係るダイオード50の製造方法について、図8～図13を用いて説明する。図9に示すように、n⁺型シリコン基板52を準備する。n⁺型シリコン基板52の厚みは0.5～1mmであり、不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。不純物はアンチモンもしくはヒ素である。

【0042】図10に示すように、n⁺型シリコン基板52上にn型シリコン層74をエピタキシャル成長によ

り形成する。n型シリコン層74の厚みは、10～100μmであり、不純物濃度は $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-3}$ である。不純物はリンである。n型シリコン層74にp型不純物を拡散し、n型シリコン層74の上部に、図11に示すように、p型シリコン層56を形成する。p型シリコン層56の厚みは、1～3μmであり、不純物濃度は $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。不純物はボロンである。なお、n型シリコン層74の下部をn型シリコン層54とする。

【0043】図12に示すように、フォトリソグラフィ技術とエッチング技術とにより、複数のトレンチ62をこの積層物に形成する。トレンチ62はp型シリコン層56、n型シリコン層54を突き抜け、n⁺型シリコン基板52に到達するように形成されている。トレンチ62の幅wは0.5～2μmである。トレンチ62間の距離d₁は0.5～5μmである。

【0044】図13に示すように、熱酸化により、トレンチ62の側面及び底面にゲート酸化膜64を形成する。ゲート酸化膜64の厚みは0.05～0.2μmである。トレンチ62がポリシリコン膜で埋まるように、CVDによりp型シリコン層56上にポリシリコン膜を形成する。ポリシリコン膜をエッチバックし、トレンチ62内にはのみポリシリコン膜を残す。このポリシリコンがトレンチゲート66となる。

【0045】図8に示すように、n⁺型シリコン基板52上に蒸着法により、金属からなるカソード電極58を形成する。また、p型シリコン層56上に蒸着法により、金属層を形成する。この金属層をパターンニングし、アノード電極60及び電極68を形成する。以上により、本発明の第3の実施の形態に係るダイオード50が完成する。

【0046】[第4の実施の形態]図14は、本発明の第4の実施の形態に係るダイオードの断面図である。図14に示すダイオード80の構成要素のうち図8に示すダイオード50の構成要素と同一のものについては、同一符号を付すことにより説明を省略する。ダイオード80が図8に示すダイオード50と相違する構造は、トレンチゲート66の下端部76の位置である。すなわち、ダイオード80のトレンチゲート66の下端部76はn⁺型シリコン基板52に到達しておらず、n型シリコン層54中に位置している。

【0047】ダイオード80の動作は、本発明の第3の実施の形態に係るダイオード50の動作と同様である。但し、OFF動作のとき、一方のトレンチゲート66の下端部76と他方のトレンチゲート66の下端部76との間にあるn型シリコン層54(図14中符号82で示す領域)において、ダイオード80に作用する電界がピークとなる。

【0048】ダイオード80の製造方法が図8に示すダイオード50の製造方法と相違する点は、トレンチ62

11

の形成工程である。すなわち、ダイオード80の製造方法においては、図12に示す工程でトレンチ62の底部がn型シリコン層54に位置するようにする。

【0049】図14に示す本発明の第4の実施の形態に係るダイオード80は図8に示すダイオード50と同様の効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るダイオードの断面図である。

【図2】本発明の第1の実施の形態に係るダイオードの製造工程を説明するための第1工程図である。

【図3】本発明の第1の実施の形態に係るダイオードの製造工程を説明するための第2工程図である。

【図4】本発明の第1の実施の形態に係るダイオードの製造工程を説明するための第3工程図である。

【図5】本発明の第1の実施の形態に係るダイオードの製造工程を説明するための第4工程図である。

【図6】本発明の第1の実施の形態に係るダイオードの製造工程を説明するための第5工程図である。

【図7】本発明の第2の実施の形態に係るダイオードの断面図である。

【図8】本発明の第3の実施の形態に係るダイオードの断面図である。

【図9】本発明の第3の実施の形態に係るダイオードの製造工程を説明するための第1工程図である。

【図10】本発明の第3の実施の形態に係るダイオードの製造工程を説明するための第2工程図である。

【図11】本発明の第3の実施の形態に係るダイオードの製造工程を説明するための第3工程図である。

【図12】本発明の第3の実施の形態に係るダイオードの製造工程を説明するための第4工程図である。

【図13】本発明の第3の実施の形態に係るダイオードの製造工程を説明するための第5工程図である。

【図14】本発明の第4の実施の形態に係るダイオードの断面図である。

【図15】ダイオードに逆方向電圧を印加したときに、ダイオードに流れる電流のシミュレーションを示す図である。

【図16】トレンチゲートを備えたダイオードに生じる

12

電界のシミュレーションを示す図である。

【図17】トレンチゲートを備えていないダイオードに生じる電界のシミュレーションを示す図である。

【図18】本発明の第3の実施の形態に係るダイオードに生じる電界のシミュレーションを示す図である。

【符号の説明】

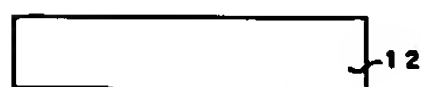
- 10 ダイオード
- 12 n⁺型シリコンカーバイド基板
- 14 n型シリコンカーバイド層
- 16 n型シリコン層
- 18 p型シリコン層
- 20 カソード電極
- 22 アノード電極
- 24 トレンチ
- 26 ゲート酸化膜
- 28 トレンチゲート
- 30 電極
- 32 n型シリコン層
- 34 下端部
- 36 領域
- 38 境界
- 40 ダイオード
- 42 領域
- 50 ダイオード
- 52 n⁺型シリコン基板
- 54 n型シリコン層
- 56 p型シリコン層
- 58 カソード電極
- 60 アノード電極
- 62 トレンチ
- 64 ゲート酸化膜
- 66 トレンチゲート
- 68 電極
- 70 接合部
- 72 境界
- 74 n型シリコン層
- 76 境界部
- 80 ダイオード
- 82 領域

【図2】

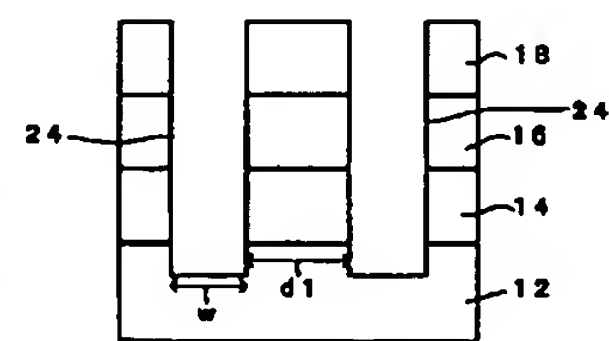
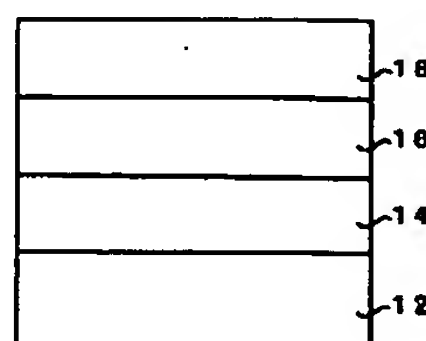
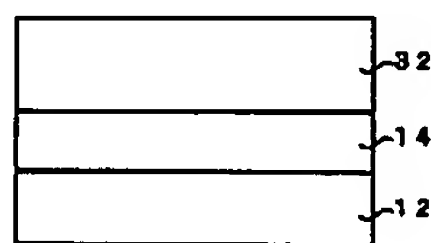
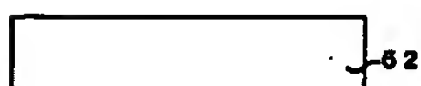
【図3】

【図4】

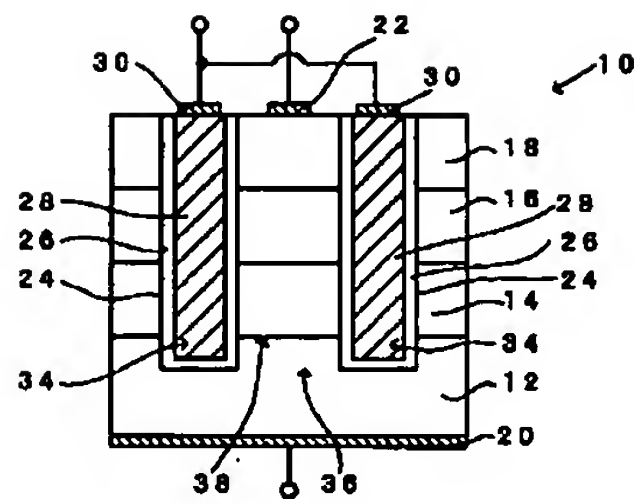
【図5】



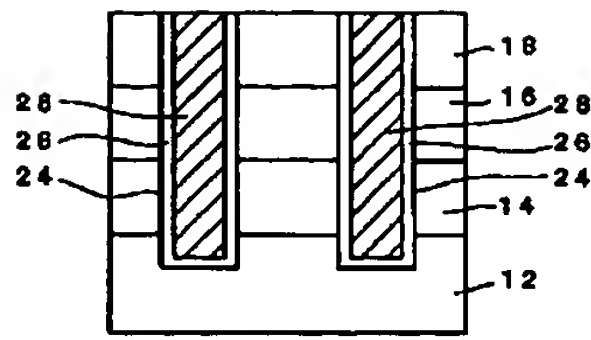
【図9】



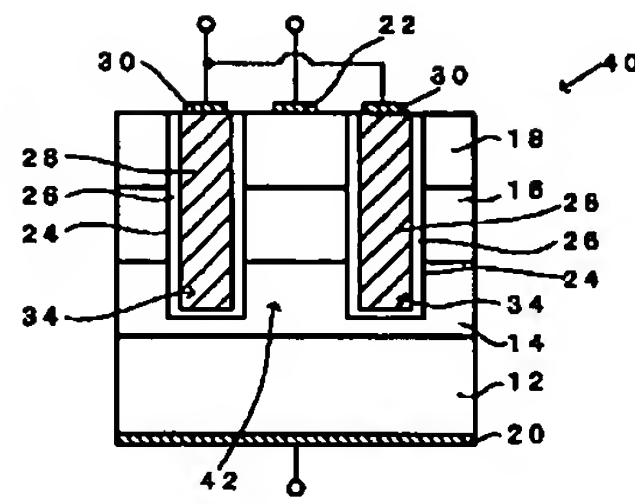
【図1】



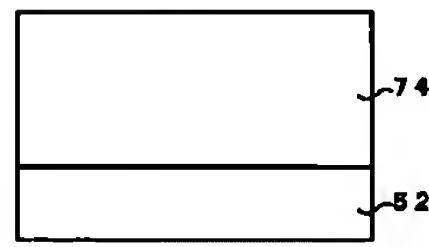
【図6】



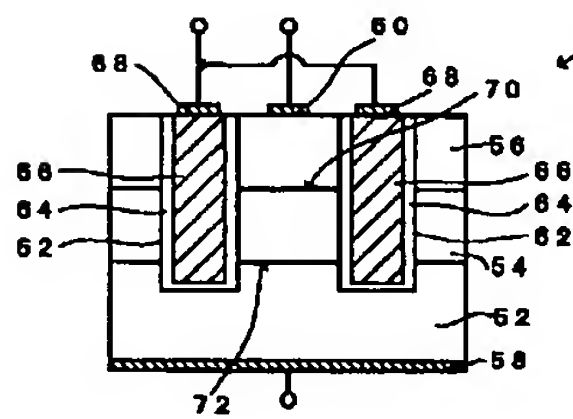
【図7】



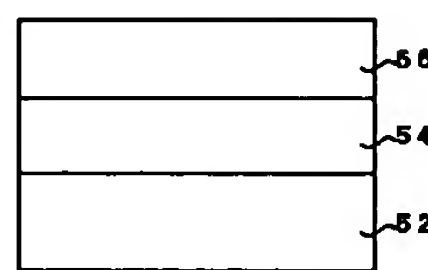
【図10】



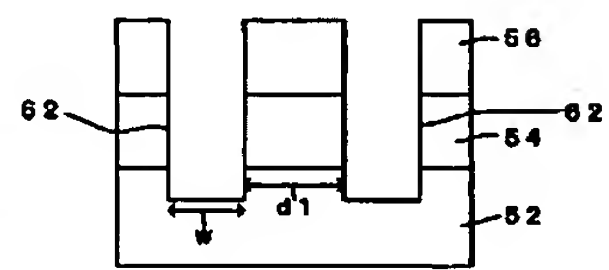
【図8】



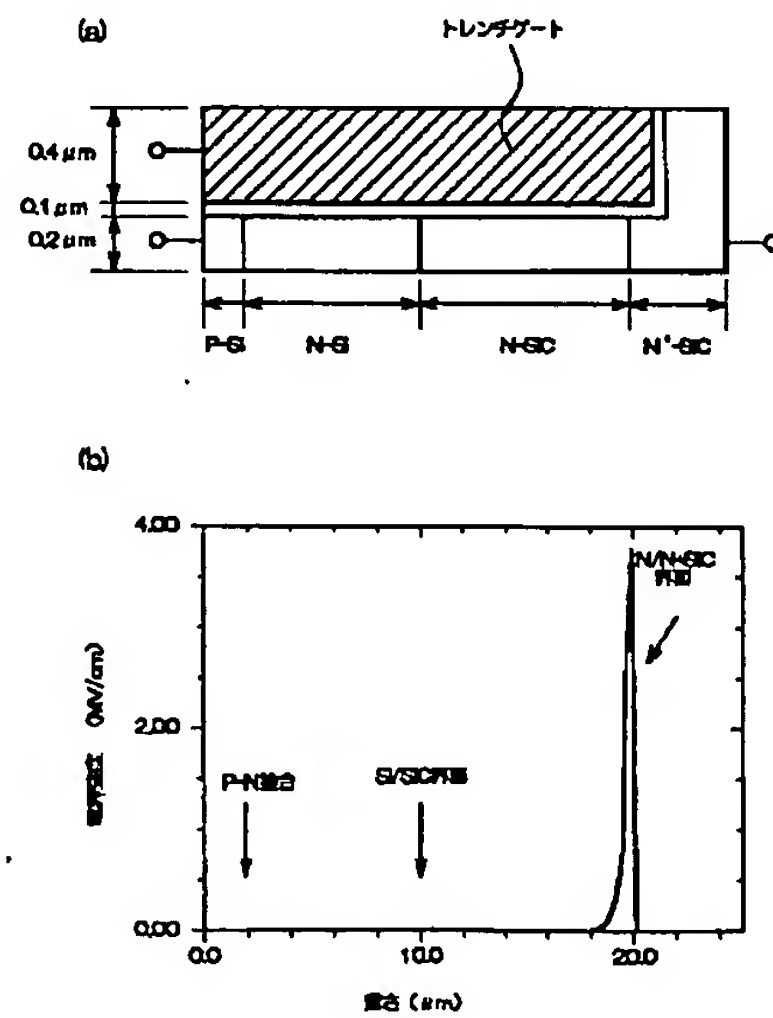
【図11】



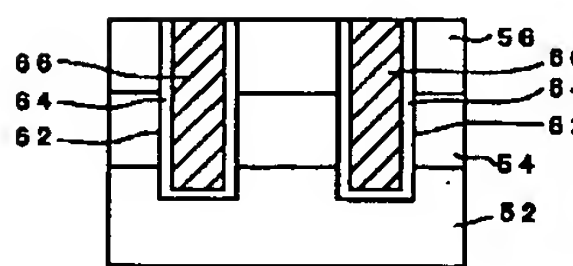
【図12】



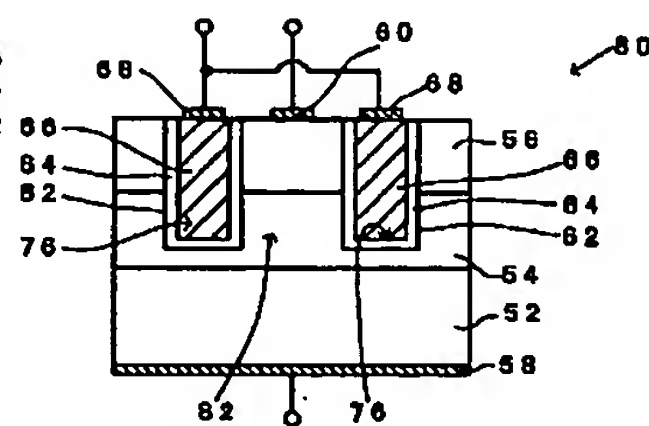
【図16】



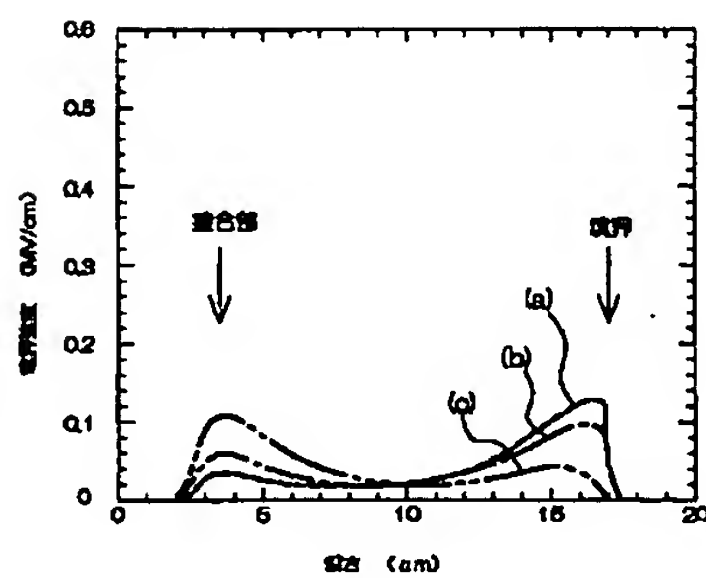
【図13】



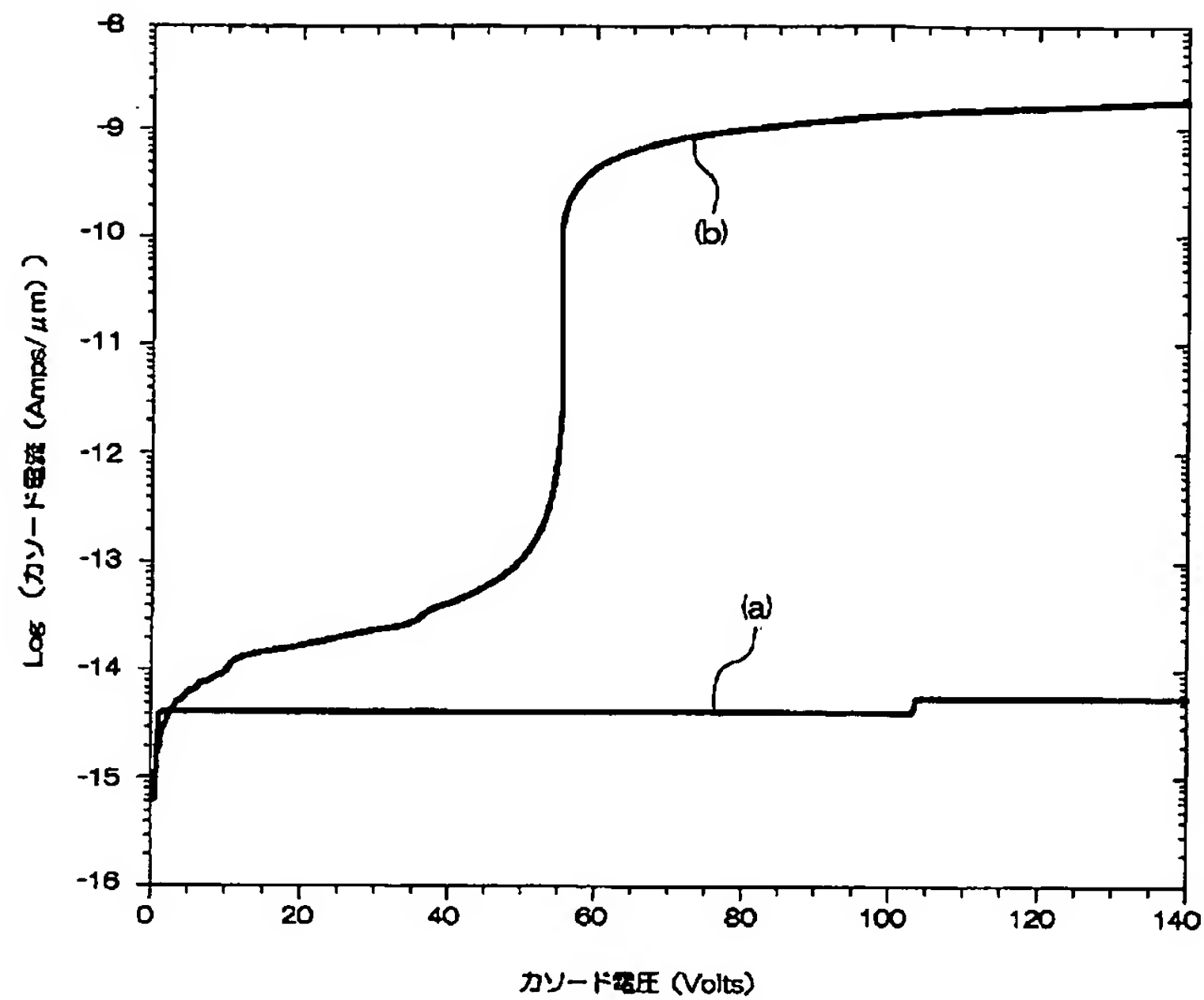
【図14】



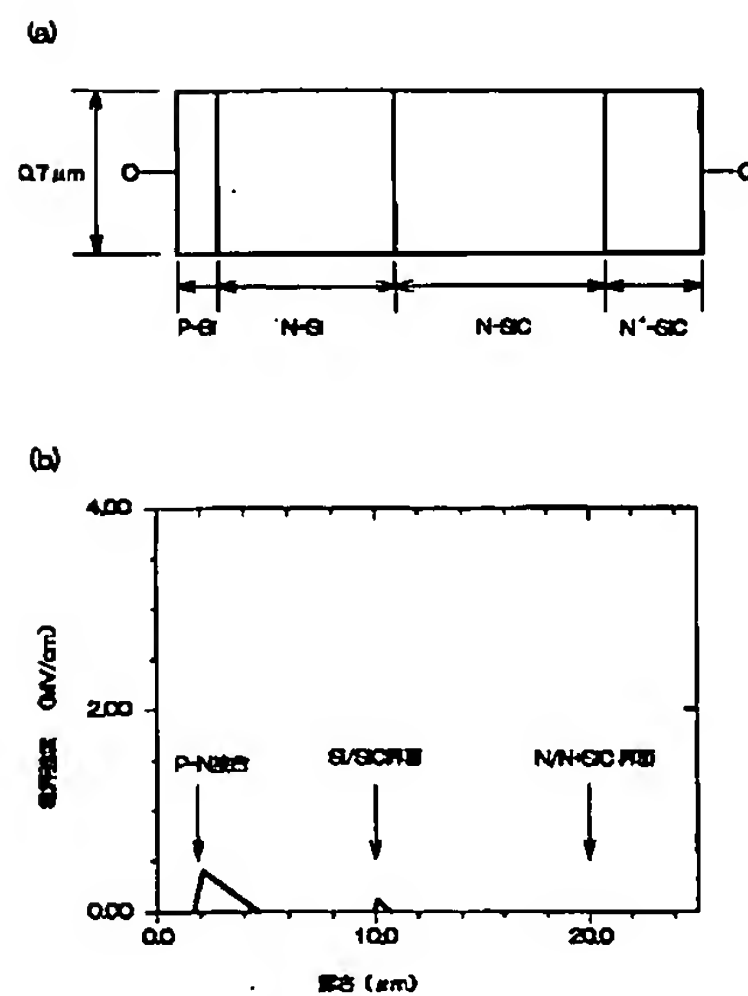
【図18】



【図15】



【図17】



フロントページの続き

Fターム(参考) 5F003 AP00 AP06 BA27 BA91 BB04
 BF06 BH06 BJ12 BJ15 BM01
 BP11 BP31 BZ01

JP 2001-36069 A – Uesugi et al.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the diode equipped with the 1st semi-conductor layer of the 1st conductivity type, and the 2nd semi-conductor layer of the 2nd conductivity type joined to the 1st semi-conductor layer about diode.

[0002]

[Background Art and Problem(s) to be Solved by the Invention] For example, as for the diode equipped with the 1st semi-conductor layer of the 1st conductivity type, and the 2nd semi-conductor layer of the 2nd conductivity type joined to the 1st semi-conductor layer like the diode of a pn junction mold, the field of power electronics is also used. In this field, the improvement in a proof pressure of a component serves as a proposition.

[0003] This invention is offering the diode which has structure which is made in order to solve this technical problem, and can raise pressure-proofing.

[0004]

[Means for Solving the Problem] The 2nd semi-conductor layer of the 2nd conductivity type which has joined this invention to the 1st semi-conductor layer of the 1st conductivity type, and the 1st semi-conductor layer, It is ***** diode and has the 1st trench gate and the 2nd trench gate. The 2nd semi-conductor layer When it is located between the 1st trench gate and the 2nd trench gate and reverse voltage is impressed to diode, the depletion layer prolonged from the direction of the 1st trench gate and the depletion layer prolonged from the direction of the 2nd trench gate are formed in the 2nd semi-conductor layer.

[0005] The diode concerning this invention by the above-mentioned configuration has the operation effectiveness of explaining below. In the diode concerning this invention, when the 2nd semi-conductor layer is located between the 1st trench gate and the 2nd trench gate and reverse voltage is impressed to diode, the depletion layer prolonged from the direction of the 1st trench gate and the depletion layer prolonged from the direction of the 2nd trench gate are formed in the 2nd semi-conductor layer. These depletion layers enable it to locate the peak of electric field also in fields other than the joint of the 1st semi-conductor layer and the 2nd semi-conductor layer. In this case, the dielectric-breakdown electric field of the field in which the peak of maximum is located among the peaks of two or more electric fields turn into dielectric-breakdown electric field of diode. When a peak is distributed by plurality, the maximum of the peak of electric field falls compared with the case where the number of peaks is one. Therefore, since diode ***** concerning this invention and still higher reverse voltage can be impressed, the diode concerning this invention turns into diode whose pressure-proofing improved compared with the former. In addition, the gestalt of operation of the 3rd of the gestalt of implementation of invention explains to a detail that it is possible to locate the peak of electric field also in fields other than the joint of the 1st semi-conductor layer and the 2nd semi-conductor layer.

[0006] In addition, forming the depletion layer prolonged from the direction of the depletion layer prolonged from the direction of the 1st trench gate in the 2nd semi-

conductor layer and the 2nd trench gate impresses 0 or a forward electrical potential difference to the 1st and 2nd trench gate, when the 2nd semi-conductor layer is p mold. When the 2nd semi-conductor layer is n mold, 0 or a negative electrical potential difference is impressed to the 1st and 2nd trench gate.

[0007] In the diode concerning this invention The high impurity concentration in the 2nd semi-conductor layer, the distance between the 1st trench gate and the 2nd trench gate, The thickness of the gate dielectric film of the 1st trench gate, and the combination of thickness ** of the gate dielectric film of the 2nd trench gate When reverse voltage is impressed to diode, in the 2nd semi-conductor layer, a part of edge [at least] of the depletion layer prolonged from the direction of the 1st trench gate and a part of edge [at least] of the depletion layer prolonged from the direction of the 2nd trench gate are connected, they combine and come out, and a certain ** is desirable. According to this, it becomes more certain to locate the peak of electric field also in fields other than the joint of the 1st semi-conductor layer and the 2nd semi-conductor layer.

[0008] The gate dielectric film of the 1st and 2nd trench gate is explained among the above-mentioned parameters. The thickness of the gate dielectric film of the 1st and 2nd trench gate has desirable 0.1-1.2 micrometers. It is because gate dielectric film will break easily at the time of diode use if smaller than 0.1 micrometers. It is because stretch of a depletion layer will not be enough and will stop being connected with the next depletion layer easily, if larger than 1.2 micrometers. As thickness of the gate dielectric film of the 1st and 2nd trench gate, further 0.1-1.0 micrometers is desirable, and 0.1-0.5 micrometers is still more desirable.

[0009] In addition, all the 2nd semi-conductor layers can also be depletion-ized depending on the combination of the four above-mentioned parameters. That is, the edge of the depletion layer prolonged from the direction of the 1st trench gate and the edge of the depletion layer prolonged from the direction of the 2nd trench gate are connected in the 2nd semi-conductor layer, and all the 2nd semi-conductor layers depletion-ize. Since all the fields of the 2nd semi-conductor layer work as an electrical-potential-difference maintenance field compared with the case where a part of 2nd semi-conductor layer has depletion-ized when all of the 2nd semi-conductor layers have depletion-ized, high pressure-proofing-ization is attained more.

[0010] In the diode concerning this invention, it has the 3rd semi-conductor layer of the 2nd conductivity type. The 3rd semi-conductor layer touches the 2nd semi-conductor layer, and the 3rd semi-conductor layer is located between the 1st trench gate and the 2nd trench gate. The energy gap of the 1st semi-conductor layer and the 2nd semi-conductor layer is small, and is [the dielectric-breakdown electric field of the 3rd semi-conductor layer] more desirable than the energy gap of the 3rd semi-conductor layer. [of larger ** than the dielectric-breakdown electric field of the 1st semi-conductor layer and the 2nd semi-conductor layer]

[0011] According to this configuration, since the 3rd semi-conductor layer is located between the 1st trench gate and the 2nd trench gate, it becomes possible to locate the maximum of the peak of electric field in the 3rd semi-conductor layer of it. Therefore, since the dielectric-breakdown electric field of diode can be enlarged, pressure-proofing of diode can be raised. The gestalt of operation of the 1st of the gestalt of implementation of invention explains the reason which can enlarge the dielectric-breakdown electric field of diode to a detail. Moreover, according to this configuration, the energy gap of the 1st

semi-conductor layer and the 2nd semi-conductor layer serves as a standup electrical potential difference of the forward current of diode. For this reason, the standup electrical potential difference of the forward current of diode can be made small. Therefore, since the electrical potential difference at the time of use of diode can be made small, power used of diode can be made small.

[0012] Thus, according to this configuration, it is large in dielectric-breakdown electric field, and since the standup electrical potential difference of forward current can be made small, it becomes possible to realize diode of high pressure-proofing and low loss power.

[0013] For example, the case where made the 1st semi-conductor layer and the 2nd semi-conductor layer as silicon, and the 3rd semi-conductor layer is made into silicon carbide is considered. The standup electrical potential difference of the forward current of this diode is about 0.6V which is the value of the energy gap of silicon. The dielectric-breakdown electric field of this diode are set to cm in about 3×10^6 v /which is the dielectric-breakdown electric field of silicon carbide. Incidentally, the diode which consists only of silicon is about 0.6V whose standup electrical potential difference of the forward current is the value of the energy gap of silicon, and the dielectric-breakdown electric field are set to cm in about 3×10^5 v /which is the dielectric-breakdown electric field of silicon. Moreover, the diode which consists only of silicon carbide is about 3V whose standup electrical potential difference of the forward current is the value of the energy gap of silicon carbide, and the dielectric-breakdown electric field are set to cm in about 3×10^6 v /which is the dielectric-breakdown electric field of silicon carbide.

Therefore, in pressure-proofing, the diode which consists of the silicon and the silicon carbide concerning this invention is superior to the diode which consists only of silicon, and superior to the diode which consists only of silicon carbide in low loss power.

[0014] Moreover, for example, the case where used the 1st semi-conductor layer and the 2nd semi-conductor layer as silicon-germanium, and the 3rd semi-conductor layer is used as silicon is considered. The standup electrical potential difference of the forward current of this diode is about 0.4V. The dielectric-breakdown electric field of this diode are set to cm in about 3×10^5 v /which is the dielectric-breakdown electric field of silicon.

Incidentally, the standup electrical potential difference of the forward current of the diode which consists only of silicon-germanium is 0.4V, and the dielectric-breakdown electric field are set to cm in about 1.5×10^5 v /which is the dielectric-breakdown electric field of silicon-germanium. Therefore, in pressure-proofing, the diode which consists of the silicon-germanium and silicon concerning this invention is superior to the diode which consists only of silicon-germanium, and superior to the diode which consists only of silicon in low loss power.

[0015] As for the 1st semi-conductor layer, in the diode concerning this invention, being inserted with the 1st trench and the 2nd trench is desirable.

[0016]

[Embodiment of the Invention] [The gestalt of the 1st operation]

{Explanation of structure} drawing 1 is the sectional view of the diode concerning the gestalt of operation of the 1st of this invention. Diode 10 is having structure where the laminating of n mold silicon carbide layer 14, n mold silicon layer 16, and the p-type silicon layer 18 was carried out to order, on n+ mold silicon carbide substrate 12. Two trenches 24 run through the p-type silicon layer 18, n mold silicon layer 16, and n mold silicon carbide layer 14, and it is formed so that n+ mold silicon carbide substrate 12 may

be reached. The trench gate 28 is embedded at the trench 24. Gate oxide 26 is formed between the side face of a trench 24, and the trench gate 28, and between the base of a trench 24, and the trench gate 28. The electrode 30 is formed on the trench gate 28. The anode electrode 22 is formed on the p-type silicon layer 18 located between the trench gates 28. The cathode electrode 20 is formed on the front face in which n mold silicon carbide layer 14 is formed among the front faces of n+ mold silicon carbide substrate 12, and the front face which counters.

[0017] {Explanation of operation}, next actuation of the diode 10 concerning the gestalt of operation of the 1st of this invention are explained using drawing 1. First, ON actuation is explained. Forward voltage is impressed to diode 10. For example, the electrical potential difference of 0V is impressed to the electrical potential difference of 2V, and the cathode electrode 20 at the anode electrode 22, respectively. At this time, a current flows towards the cathode electrode 20 from the anode electrode 22. In addition, the same electrical potential difference as the anode electrode 22, or in order to reduce resistance more, an about [10V] electrical potential difference may be impressed to an electrode 30.

[0018] Next, OFF actuation is explained. Reverse voltage is impressed to diode 10. For example, the electrical potential difference of 600-1000V is impressed to the electrical potential difference of 0V, and the cathode electrode 20 at the anode electrode 22, respectively. The electrical potential difference of an electrode 30 is the same as the electrical potential difference of the anode electrode 22, and good. In order to acquire a better off property, an about [-10V] electrical potential difference may be impressed to an electrode 30. By impressing such an electrical potential difference to an electrode 30, a part of edge [at least] of the depletion layer prolonged from the direction of one trench gate 28 and a part of edge [at least] of the depletion layer prolonged from the direction of the trench gate 28 of another side are connected in n mold silicon carbide layer 14. Thereby, reverse voltage is held and it prevents a current flowing to diode 10.

[0019] {Explanation of the manufacture approach}, next the manufacture approach of the diode 10 concerning the gestalt of operation of the 1st of this invention are explained using drawing 1 - drawing 6. As shown in drawing 2, n+ mold silicon carbide substrate 12 is prepared. The thickness of n+ mold silicon carbide substrate 12 is 0.5-1mm, and high impurity concentration is about [$1 \times 10^{19} \text{cm}^{-3}$] three. An impurity is nitrogen.

[0020] As shown in drawing 3, n mold silicon carbide layer 14 is formed with epitaxial growth on n+ mold silicon carbide substrate 12. The thickness of n mold silicon carbide layer 14 is 1-10 micrometers, and high impurity concentration is 1×10^{16} - $1 \times 10^{17} \text{cm}^{-3}$. An impurity is nitrogen. n mold silicon layer 32 is formed with epitaxial growth on n mold silicon carbide layer 14. The thickness of n mold silicon layer 32 is 5-10 micrometers, and high impurity concentration is 1×10^{15} - $1 \times 10^{17} \text{cm}^{-3}$. An impurity is Lynn. p mold impurity is diffused in n mold silicon layer 32, and as shown in drawing 4, the p-type silicon layer 18 is formed in the upper part of n mold silicon layer 32. The thickness of the p-type silicon layer 18 is 2-3 micrometers, and high impurity concentration is 1×10^{16} - $1 \times 10^{17} \text{cm}^{-3}$. An impurity is boron. In addition, let the lower part of n mold silicon layer 32 be n mold silicon layer 16.

[0021] As shown in drawing 5, two or more trenches 24 are formed in this laminated material with a photolithography technique and an etching technique. A trench 24 runs through the p-type silicon layer 18, n mold silicon layer 16, and n mold silicon carbide

layer 14, and it is formed so that n+ mold silicon carbide substrate 12 may be reached. The width of face w of a trench 24 is 0.5-2 micrometers. The distance d1 between trenches 24 is 0.5-5 micrometers.

[0022] As shown in drawing 6, gate oxide 26 is formed in the side face and base of a trench 24 by thermal oxidation. The thickness of gate oxide 26 is 0.05-0.2 micrometers. The polish recon film is formed on the p-type silicon layer 18 by CVD so that a trench 24 may be buried with the polish recon film. Etchback of the polish recon film is carried out, and it leaves the polish recon film only in a trench 24. This polish recon serves as the trench gate 28.

[0023] As shown in drawing 1, the cathode electrode 20 which consists of a metal is formed with vacuum deposition on n+ mold silicon carbide substrate 12. Moreover, a metal layer is formed with vacuum deposition on the p-type silicon layer 18. Pattern NINGU of this metal layer is carried out, and the anode electrode 22 and an electrode 30 are formed. By the above, the diode 10 concerning the gestalt of operation of the 1st of this invention is completed.

[0024] In the diode 10 concerning the gestalt of operation of the 1st of {explanation whose pressure-proofing of diode improves} this invention, the trench gate 28 explains using simulation that pressure-proofing of diode 10 improves. Drawing 15 is simulation which shows the current which flows to diode, when reverse voltage is impressed to diode. (a) is the simulation of the diode 10 shown in drawing 1, and (b) is the simulation of the diode of the structure which removed the trench gate 28 from the diode 10 shown in drawing 1.

[0025] The diode without the trench gate shown in (b) is about 60V, and the phenomenon, i.e., a dielectric-breakdown phenomenon, in which a current flows rapidly appears. On the other hand, as for the diode equipped with the trench gate shown in (a), 140V have not caused the dielectric-breakdown phenomenon. Compared with diode [the diode 10 concerning the gestalt of operation of the 1st of this invention] without the trench gate, pressure-proofing becomes high so that this simulation may also show.

[0026] Next, the reason whose pressure-proofing of the diode 10 concerning the gestalt of operation of the 1st of this invention improves is explained. Drawing 16 is the simulation of the electric field produced to the diode equipped with the trench gate. The trench gate shall be grounded by 0V, 140V shall be impressed to a cathode, and, as for an anode, 0V shall be impressed. An axis of ordinate shows field strength. The axis of abscissa shows the distance of the depth direction of the diode from the joint of a p-type silicon layer and n mold silicon layer. That is, the value of 2 micrometers of an axis of abscissa corresponds with the location of the joint of a p-type silicon layer and n mold silicon layer. The value of 10 micrometers of an axis of abscissa corresponds with the location of the boundary of n mold silicon layer and n mold silicon carbide layer. The value of 20 micrometers of an axis of abscissa corresponds with the location of the boundary of n mold silicon carbide layer and n+ mold silicon carbide substrate. In addition, width of face of the trench gate is set to 0.4 micrometers, gate oxidization thickness sets to 0.1 micrometers, and distance of the trench gate, this trench gate, and the trench gate (not shown) that counters is set to 0.2 micrometers.

[0027] The value of 20 micrometers of an axis of abscissa, i.e., the boundary of n mold silicon carbide layer and n+ mold silicon carbide layer, serves as a peak of the electric field which act on diode so that simulation may show. For this reason, the dielectric-

breakdown electric field of a silicon carbide layer turn into dielectric-breakdown electric field of diode.

[0028] Next, the simulation of the electric field produced to the diode which is not equipped with the trench gate is explained using drawing 17. 60V shall be impressed to a cathode and, as for an anode, 0V shall be impressed. The semantics of an axis of ordinate and an axis of abscissa is the same as the semantics of the axis of ordinate shown in drawing 16, and an axis of abscissa. There are two peaks of the electric field which act on diode so that simulation may show. A value of 2 micrometers of an axis of abscissa of one, i.e., the joint of a p-type silicon layer and n mold silicon layer, is the peak of electric field, and, as for another, the value of 10 micrometers of an axis of abscissa, i.e., the boundary of n mold silicon layer and n mold silicon carbide layer, serves as a peak of electric field. The electric field which act on the joint of a p-type silicon layer and n mold silicon layer are larger than the electric field which act on the boundary of n mold silicon layer and n mold silicon carbide layer. For this reason, the joint of a p-type silicon layer and n mold silicon layer, i.e., the dielectric-breakdown electric field of a silicon layer, serves as dielectric-breakdown electric field of this diode.

[0029] As mentioned above, as explained using drawing 16 and drawing 17, since dielectric-breakdown electric field are larger than the diode with which the diode 10 concerning the gestalt of operation of the 1st of this invention is not equipped with the trench gate, it turns out that pressure-proofing becomes high.

[0030] In addition, it is the field where the field 36 which is originally between the lower limit sections 34 of the trench gate 28 shown in drawing 1 serves as maximum of electric field which is acting on diode 10. However, if the lower limit section 34 has reached even to n+ mold silicon carbide substrate 12, the field where a field 36 serves as maximum of electric field will not become. This is because n+ mold silicon carbide substrate 12 shows the resistance as a metal with it. [high high impurity concentration and] [same] Therefore, in the diode concerning the gestalt of operation of the 1st of this invention, the boundary of n mold silicon carbide layer 14 and n+ mold silicon carbide substrate 12 serves as a peak of electric field.

[0031] In the diode 10 concerning the gestalt of operation of the 1st of this invention shown in {explanation of effectiveness} drawing 1, the standup electrical potential difference of the forward current of diode is about 0.6V which is the value of the energy gap of silicon, and the dielectric-breakdown electric field of diode are set to cm in about $3 \times 10^6 \text{ v}$ /which is the dielectric-breakdown electric field of silicon carbide. Therefore, according to the diode 10 concerning the gestalt of operation of the 1st of this invention, it becomes possible to realize diode of high pressure-proofing and low loss power.

[0032] [Gestalt of the 2nd operation] drawing 7 is the sectional view of the diode concerning the gestalt of operation of the 2nd of this invention. About the same thing as the component of the diode 10 shown in drawing 1 among the components of the diode 40 shown in drawing 7, explanation is omitted by attaching the same sign. The structure where diode 40 is different from the diode 10 shown in drawing 1 is the location of the lower limit section 34 of the trench gate 28. That is, the lower limit section 34 of the trench gate 28 of diode 40 does not reach n+ mold silicon carbide substrate 12, but is located in n mold silicon carbide layer 14.

[0033] Actuation of diode 40 is the same as actuation of the diode 10 concerning the gestalt of operation of the 1st of this invention. However, at the time of OFF actuation, it

sets n mold silicon carbide layer 14 (field shown with the sign 42 in drawing 7), and the electric field between the lower limit section 34 of one trench gate 28 and the lower limit section 34 of the trench gate 28 of another side which are acting on diode 10 serve as a peak.

[0034] The point that the manufacture approach of diode 40 is different from the manufacture approach of the diode 10 shown in drawing 1 is the formation process of a trench 24. That is, it is made for the pars basilaris ossis occipitalis of a trench 24 to be located in n mold silicon carbide layer 14 in the manufacture approach of diode 40 at the process shown in drawing 5.

[0035] The diode 40 concerning the gestalt of operation of the 2nd of this invention shown in drawing 7 has the same effectiveness as the diode 10 shown in drawing 1, and also has the following effectiveness. That is, since the field between the lower limit sections 34 can be made into the field used as the maximum of electric field which is acting on diode 40, the maximum electric-field field can be set up only in the depth of a trench. For this reason, the degree of freedom of a design of device structure increases.

[0036] [The gestalt of the 3rd operation]

{Explanation of structure} drawing 8 is the sectional view of the diode concerning the gestalt of operation of the 3rd of this invention. The difference with the diode 10 shown in drawing 1 is a point of the structure which carried out the laminating of the silicon layer excluding the silicon carbide layer. That is, diode 50 is having structure where the laminating of n mold silicon layer 54 and the p-type silicon layer 56 was carried out to order, on n+ mold silicon substrate 52. Two trenches 62 run through the p-type silicon layer 56 and n mold silicon layer 54, and it is formed so that n+ mold silicon substrate 52 may be reached. The trench gate 66 is embedded at each trench 62. Between the base of each trench 62, and the trench gate 66, gate oxide 64 is formed between the side face of each trench 62, and the trench gate 66. The electrode 68 is formed on the trench gate 66. The anode electrode 60 is formed on the p-type silicon layer 56 located between the trench gates 66. The cathode electrode 58 is formed on the front face in which n mold silicon layer 54 is formed among the front faces of n+ mold silicon substrate 52, and the front face which counters.

[0037] {Actuation and explanation of effectiveness}, next actuation of the diode 50 concerning the gestalt of operation of the 3rd of this invention are explained using drawing 8. First, ON actuation is explained. Forward voltage is impressed to diode 50. For example, the electrical potential difference of 0V is impressed to the electrical potential difference of 2V, and the cathode electrode 58 at the anode electrode 60, respectively. At this time, a current flows towards the cathode electrode 58 from the anode electrode 60. In addition, the same electrical potential difference as the anode electrode 60, or in order to reduce resistance more, an about [10V] electrical potential difference may be impressed to an electrode 68.

[0038] Next, OFF actuation is explained. Reverse voltage is impressed to diode 50. For example, the electrical potential difference of 600-1000V is impressed to the electrical potential difference of 0V, and the cathode electrode 58 at the anode electrode 60, respectively. The electrical potential difference of an electrode 68 is the same as the electrical potential difference of the anode electrode 60, and good. In order to acquire a better off property, an about [-10V] electrical potential difference may be impressed to an electrode 68. By impressing such an electrical potential difference to an electrode 68, a

part of edge [at least] of the depletion layer prolonged from the direction of one trench gate 66 and a part of edge [at least] of the depletion layer prolonged from the direction of the trench gate 66 of another side are connected in n mold silicon layer 54. Thereby, reverse voltage is held and it prevents a current flowing to diode 50. At this time, it becomes possible to locate the peak of electric field also in the joint 70 of the p-type silicon layer 56 and n mold silicon layer 54, and the boundary 72 of n+ mold silicon substrate 52 and n mold silicon layer 54 of the peak of the electric field which act diode 50.

[0039] Simulation explains this. Drawing 18 is the simulation of the electric field produced to diode 50. An axis of ordinate shows field strength. The axis of abscissa shows the distance of the depth direction of the diode 50 from p-type silicon layer 56 front face. That is, 0 micrometer of p-type silicon layer 56 front faces is shown. The distance to a joint 70 is about 3.5 micrometers, and the distance to a boundary 72 is about 17 micrometers. (a) of simulation shows the case where the high impurity concentration of n mold silicon layer 54 is one E15, (b) shows the case where the high impurity concentration of n mold silicon layer 54 is two E15, and (c) shows the case where the high impurity concentration of n mold silicon layer 54 is four E15. As shown in drawing 18, the peak of electric field is produced on the joint and the boundary.

[0040] In this case, the dielectric-breakdown electric field in which the peak of maximum is located among two peaks turn into dielectric-breakdown electric field of diode 50. When a peak is distributed by plurality, the maximum of electric field falls. Therefore, if it depends diode 50, since still higher reverse voltage can be impressed, diode 50 will turn into diode excellent in pressure resistance.

[0041] {Explanation of the manufacture approach}, next the manufacture approach of the diode 50 concerning the gestalt of operation of the 3rd of this invention are explained using drawing 8 - drawing 13. As shown in drawing 9, n+ mold silicon substrate 52 is prepared. The thickness of n+ mold silicon substrate 52 is 0.5-1mm, and high impurity concentration is 1×10^{18} - $1 \times 10^{19} \text{cm}^{-3}$. An impurity is antimony or an arsenic.

[0042] As shown in drawing 10, n mold silicon layer 74 is formed with epitaxial growth on n+ mold silicon substrate 52. The thickness of n mold silicon layer 74 is 10-100 micrometers, and high impurity concentration is 1×10^{14} - $1 \times 10^{16} \text{cm}^{-3}$. An impurity is Lynn. p mold impurity is diffused in n mold silicon layer 74, and as shown in drawing 11, the p-type silicon layer 56 is formed in the upper part of n mold silicon layer 74. The thickness of the p-type silicon layer 56 is 1-3 micrometers, and high impurity concentration is 1×10^{16} - $1 \times 10^{17} \text{cm}^{-3}$. An impurity is boron. In addition, let the lower part of n mold silicon layer 74 be n mold silicon layer 54.

[0043] As shown in drawing 12, two or more trenches 62 are formed in this laminated material with a photolithography technique and an etching technique. A trench 62 runs through the p-type silicon layer 56 and n mold silicon layer 54, and it is formed so that n+ mold silicon substrate 52 may be reached. The width of face w of a trench 62 is 0.5-2 micrometers. The distance d1 between trenches 62 is 0.5-5 micrometers.

[0044] As shown in drawing 13, gate oxide 64 is formed in the side face and base of a trench 62 by thermal oxidation. The thickness of gate oxide 64 is 0.05-0.2 micrometers. The polish recon film is formed on the p-type silicon layer 56 by CVD so that a trench 62 may be buried with the polish recon film. Etchback of the polish recon film is carried out, and it leaves the polish recon film only in a trench 62. This polish recon serves as the

trench gate 66.

[0045] As shown in drawing 8, the cathode electrode 58 which consists of a metal is formed with vacuum deposition on n+ mold silicon substrate 52. Moreover, a metal layer is formed with vacuum deposition on the p-type silicon layer 56. Pattern NINGU of this metal layer is carried out, and the anode electrode 60 and an electrode 68 are formed. By the above, the diode 50 concerning the gestalt of operation of the 3rd of this invention is completed.

[0046] [Gestalt of the 4th operation] drawing 14 is the sectional view of the diode concerning the gestalt of operation of the 4th of this invention. About the same thing as the component of the diode 50 shown in drawing 8 among the components of the diode 80 shown in drawing 14, explanation is omitted by attaching the same sign. The structure where diode 80 is different from the diode 50 shown in drawing 8 is the location of the lower limit section 76 of the trench gate 66. That is, the lower limit section 76 of the trench gate 66 of diode 80 does not reach n+ mold silicon substrate 52, but is located in n mold silicon layer 54.

[0047] Actuation of diode 80 is the same as actuation of the diode 50 concerning the gestalt of operation of the 3rd of this invention. However, at the time of OFF actuation, it sets n mold silicon layer 54 (field shown with the sign 82 in drawing 14), and the electric field between the lower limit section 76 of one trench gate 66 and the lower limit section 76 of the trench gate 66 of another side which act on diode 80 serve as a peak.

[0048] The point that the manufacture approach of diode 80 is different from the manufacture approach of the diode 50 shown in drawing 8 is the formation process of a trench 62. That is, it is made for the pars basilaris ossis occipitalis of a trench 62 to be located in n mold silicon layer 54 in the manufacture approach of diode 80 at the process shown in drawing 12.

[0049] The diode 80 concerning the gestalt of operation of the 4th of this invention shown in drawing 14 has the same effectiveness as the diode 50 shown in drawing 8.

[Translation done.]

CLAIMS

[Claim(s)]

[Claim 1] The 1st semi-conductor layer of the 1st conductivity type, and the 2nd semi-conductor layer of the 2nd conductivity type joined to the 1st semi-conductor layer, It is ***** diode and has the 1st trench gate and the 2nd trench gate. Said 2nd semi-conductor layer It is located between said 1st trench gates and said 2nd trench gates. Diode with which the depletion layer prolonged from the direction of said 1st trench gate and the depletion layer prolonged from the direction of said 2nd trench gate are formed in said 2nd semi-conductor layer when reverse voltage is impressed to said diode.

[Claim 2] In claim 1 The high impurity concentration in said 2nd semi-conductor layer, the distance between said 1st trench gates and said 2nd trench gates, The thickness of the gate dielectric film of said 1st trench gate, and the combination of thickness ** of the gate dielectric film of said 2nd trench gate In said 2nd semi-conductor layer, a part of edge [at least] of the depletion layer prolonged from the direction of said 1st trench gate

when reverse voltage was impressed to said diode, and a part of edge [at least] of the depletion layer prolonged from the direction of said 2nd trench gate are connected, they combine and come out, and it is a certain diode.

[Claim 3] In claim 1 or 2, have the 3rd semi-conductor layer of the 2nd conductivity type, and said 3rd semi-conductor layer touches said 2nd semi-conductor layer. Said 3rd semi-conductor layer is located between said 1st trench gates and said 2nd trench gates. It is smaller than the energy gap of said 3rd semi-conductor layer, and, for the dielectric-breakdown electric field of said 3rd semi-conductor layer, the energy gap of said 1st semi-conductor layer and said 2nd semi-conductor layer is larger diode than the dielectric-breakdown electric field of said 1st semi-conductor layer and said 2nd semi-conductor layer.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the diode concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the 1st process drawing for explaining the production process of the diode concerning the gestalt of operation of the 1st of this invention.

[Drawing 3] It is the 2nd process drawing for explaining the production process of the diode concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the 3rd process drawing for explaining the production process of the diode concerning the gestalt of operation of the 1st of this invention.

[Drawing 5] It is the 4th process drawing for explaining the production process of the diode concerning the gestalt of operation of the 1st of this invention.

[Drawing 6] It is the 5th process drawing for explaining the production process of the diode concerning the gestalt of operation of the 1st of this invention.

[Drawing 7] It is the sectional view of the diode concerning the gestalt of operation of the 2nd of this invention.

[Drawing 8] It is the sectional view of the diode concerning the gestalt of operation of the 3rd of this invention.

[Drawing 9] It is the 1st process drawing for explaining the production process of the diode concerning the gestalt of operation of the 3rd of this invention.

[Drawing 10] It is the 2nd process drawing for explaining the production process of the diode concerning the gestalt of operation of the 3rd of this invention.

[Drawing 11] It is the 3rd process drawing for explaining the production process of the diode concerning the gestalt of operation of the 3rd of this invention.

[Drawing 12] It is the 4th process drawing for explaining the production process of the diode concerning the gestalt of operation of the 3rd of this invention.

[Drawing 13] It is the 5th process drawing for explaining the production process of the diode concerning the gestalt of operation of the 3rd of this invention.

[Drawing 14] It is the sectional view of the diode concerning the gestalt of operation of the 4th of this invention.

[Drawing 15] When reverse voltage is impressed to diode, it is drawing showing the simulation of the current which flows to diode.

[Drawing 16] It is drawing showing the simulation of the electric field produced to the

diode equipped with the trench gate.

[Drawing 17] It is drawing showing the simulation of the electric field produced to the diode which is not equipped with the trench gate.

[Drawing 18] It is drawing showing the simulation of the electric field produced to the diode concerning the gestalt of operation of the 3rd of this invention.

[Description of Notations]

10 Diode

12 N+ Mold Silicon Carbide Substrate

14 N Mold Silicon Carbide Layer

16 N Mold Silicon Layer

18 P-type Silicon Layer

20 Cathode Electrode

22 Anode Electrode

24 Trench

26 Gate Oxide

28 Trench Gate

30 Electrode

32 N Mold Silicon Layer

34 Lower Limit Section

36 Field

38 Boundary

40 Diode

42 Field

50 Diode

52 N+ Mold Silicon Substrate

54 N Mold Silicon Layer

56 P-type Silicon Layer

58 Cathode Electrode

60 Anode Electrode

62 Trench

64 Gate Oxide

66 Trench Gate

68 Electrode

70 Joint

72 Boundary

74 N Mold Silicon Layer

76 Boundary Section

80 Diode

82 Field

[Translation done.]